

Architettura degli Elaboratori

2013-14

Gli esercizi e quesiti sono proposti con l'obiettivo di seguire e studiare il corso in modo efficiente.

Le soluzioni devono essere discusse con il docente in orario di ricevimento; solo per alcuni homework, verranno presentate in aula.

Per la preparazione dello studente, è essenziale che le soluzioni siano accompagnate da adeguate spiegazioni che permettano di appurare la comprensione e l'approfondimento dei concetti del corso.

Homework 8

1) Riprendere le computazioni dell'homework 6:

a) $\text{int } A[M], B[M], C[M]; \forall i = 0 .. M - 1: \forall j = 0 .. M - 1: C[i] = C[i] + A[i]*B[j]$.

b) Prodotto matrice $A[M][M]$ per vettore $B[M]$.

c) Da $A[M][M]$, memorizzata per righe, ricavare $C[M]$ tale che $\forall i: C[i] = \text{reduce}(A[*][i], +)$.

d) Da una lista linkata A di valori interi ricavare la lista linkata B di valori interi, tale che il generico B_i è uguale al numero di occorrenze di A_i in un array dato $C[M]$.

e) $\text{int } A[M], B[M]; \forall i = 0 .. M - 1: B[i] = A[i] + A[i \% (M/8)]$.

in doppia versione con $M = 4K$ e $M = 128K$. Valutarne il tempo di completamento per una CPU D-RISC con ciclo di clock τ ,

- architettura pipeline scalare, in-order (FIFO out-of-order), comunicazioni a singola bufferizzazione, unità esecutiva con operazioni lunghe in pipeline a 4 stadi,
- cache primaria su domanda: istruzioni - diretta 32K parole, dati - associativa 32K parole, $\sigma_1 = 8$ parole; cache secondaria C2 di 1M parole, $\sigma_2 = 128$ parole,
- memoria principale interallacciata con $m = \sigma$ moduli e ciclo di clock uguale a 20τ ; struttura di interconnessione memoria - CPU con topologia ad albero binario e latenza di trasmissione dei collegamenti uguale a 4τ .

2) Scrivere i microprogrammi delle unità MMU_1 e IU, in modo che il loro tempo di calcolo interno sia uguale a τ .

3) Valutare il tempo di completamento della seguente computazione operante su array di reali $A[M]$, $B[M]$, $C[M]$, $X[M]$:

$$\forall i = 0 .. M - 1: X[i] = \frac{\sqrt{A[i]B[i]}}{A[i]B[i] + \frac{A[i]}{C[i]}} + \sqrt{\frac{A[i]B[i] - \frac{A[i]}{C[i]}}{\frac{A[i]}{C[i]} + 1}}$$

per il sistema del punto 1) con D-RISC arricchito da registri float e istruzioni su reali, inclusa la radice quadrata, e unità esecutiva in pipeline con operazioni su reali a 4 stadi (corte) e 8 stadi (lunghe).

4) Per una CPU pipeline scalare con comunicazioni a doppia bufferizzazione, progettare il sottosistema memoria dati in modo che il suo tempo di servizio ideale sia uguale a τ .

5) Spiegare chiaramente come viene ricavato il modello dei costi di una CPU pipeline scalare e unità esecutiva in pipeline, evidenziando quali concetti di elaborazione in parallelo sono usati per ricavare tale modello.

6) Per una computazione costituita da sole istruzioni aritmetico logiche e LOAD, dimostrare che l'unità esecutiva di una CPU pipeline scalare non può essere collo di bottiglia, mentre può esserlo per una CPU superscalare. Nel secondo caso dire se e come il collo di bottiglia può essere eliminato.