

Architettura degli Elaboratori

2013-14

Gli esercizi e quesiti sono proposti con l'obiettivo di seguire e studiare il corso in modo efficiente.

Le soluzioni devono essere discusse con il docente in orario di ricevimento; solo per alcuni homework, verranno presentate in aula.

Per la preparazione dello studente, è essenziale che le soluzioni siano accompagnate da adeguate spiegazioni che permettano di appurare la comprensione e l'approfondimento dei concetti del corso.

Homework 1

1) Una rete combinatoria ha variabili d'ingresso $\alpha_0, \alpha_1, x_0, x_1, y_0, y_1$ e variabili di uscita w, z_0, z_1 .

Se $\alpha_0 \alpha_1 = 00$, w vale uno se e solo se le configurazioni di bit $(x_0 x_1)$ e $(y_0 y_1)$ sono uguali. z_0, z_1 sono non specificati.

Se $\alpha_0 \alpha_1 = 01$, w è non specificato e la configurazione di bit $(z_0 z_1)$ è uguale alla configurazione $(x_0 x_1)$.

Se $\alpha_0 \alpha_1 = 10$, w è non specificato e la configurazione di bit $(z_0 z_1)$ è uguale alla configurazione di bit $(y_0 y_1)$.

Se $\alpha_0 \alpha_1 = 11$, w è non specificato e la configurazione di bit $(z_0 z_1)$ esprime un numero naturale uguale alla posizione che, nella configurazione di bit $(x_0 x_1 y_0 y_1)$, è occupata dal bit uguale a uno, nell'ipotesi che la configurazione $(x_0 x_1 y_0 y_1)$ contenga un solo bit a uno e tutti gli altri a zero (questa ipotesi non deve essere verificata: se $\alpha_0 \alpha_1 = 11$ è verificata con certezza).

a) Realizzare la rete combinatoria.

b) Determinarne il ritardo di stabilizzazione in funzione del ritardo di stabilizzazione t_p di una porta logica.

c) Spiegare se è possibile generalizzare la soluzione nel caso di configurazioni $(x_0 \dots x_{n-1}), (y_0 \dots y_{n-1}), (z_0 \dots z_{n-1})$, con n qualsiasi.

2) Realizzare una rete combinatoria avente in ingresso un numero naturale X a 32 bit e in uscita un bit P , tale che P vale uno se e solo se X è una potenza di due.

Determinarne il ritardo di stabilizzazione in funzione del ritardo di stabilizzazione t_p di una porta logica avente al più otto ingressi.