

## Esercizi e quesiti - Parte 1: firmware - 2

I seguenti esercizi e quesiti sono proposti per verificare la preparazione e comprensione della materia. La loro validità è tanto maggiore quanto più sono svolti di pari passo con il programma del corso e in modo critico. È fondamentale che le risposte siano date in forma chiara e rigorosa, usando i concetti e la terminologia del corso, evitando ambiguità e spiegazioni fuori tema.

Si raccomanda, agli studenti interessati, di chiarire ogni dubbio e di verificare le risposte con il docente.

1) Dato il seguente microprogramma:

- 0. (RDY1, zero(M[IND] - IN) = 0 -) nop, 0;  
(= 1 1) reset RDY1, set ACK1, 0 → I, 1;  
(= 1 0) reset RDY1, set ACK1, IN → M[IND], 0
- 1. (I<sub>0</sub>, segno(M[I<sub>m</sub>]), ACK2 = 0 0 -) I + 1 → I, 1;  
(= 0 1 -) I + 1 → I, 0 → M[I<sub>m</sub>], 1;  
(= 1 - 0) nop, 1;  
(= 1 - 1) set RDY2, reset ACK2, 0

- a) definire completamente l'automa Parte Controllo, giustificando formalmente come si arriva a tale definizione, e progettare la rete sequenziale Parte Controllo;
- b) spiegare formalmente la ragione per cui la Parte Controllo contiene un registro impulsato;
- c) ricavare la funzione di transizione dello stato interno della Parte Operativa relativamente alla generica locazione della memoria M e giustificare formalmente il procedimento adottato.

2) Per una generica unità di elaborazione, si indichino con  $S_{PC}$  e  $S_{PO}$  lo stato interno della Parte Controllo e della Parte Operativa rispettivamente. Dire se lo stato interno successivo dei due automi può essere espresso come:

$$S_{PO}(t+1) = f(S_{PC}(t), S_{PO}(t))$$

$$S_{PC}(t+1) = g(S_{PC}(t), S_{PO}(t))$$

con  $f$  e  $g$  funzioni opportune, e dimostrare la risposta.

3) Una unità di elaborazione contiene una memoria M a singolo indirizzamento. In ingresso ha un codice operativo OP (1 bit) e due indirizzi IND1, IND2 di M. Dire se il seguente microprogramma può essere implementato correttamente, spiegando formalmente la risposta:

- 0. (RDY, OP, zero(M[IND1]), segno(M[IND2]) = 0 - - -) ..., 0;  
(= 1 0 0 -) ..., 0; (= 1 0 1 -) ..., 0;  
(= 1 1 - 0) ..., 0; (= 1 1 - 1) ..., 0

4)

- a) Una unità contiene 256 registri indipendenti di 32 bit, e riceve in ingresso un booleano OP, una parola X di 32 bit e un identificatore di uno dei registri. Se OP = 0 scrive X nel registro identificato. Se OP = 1 invia in uscita il risultato della *reduce* della somma applicata a tutti i registri. Realizzare l'unità con il

minimo tempo di elaborazione e valutare tale tempo in funzione del ritardo di  $t_p$  di una porta logica con al più 8 ingressi, con  $T_{ALU} = 5t_p$ , fornendo adeguate spiegazioni.

b) Come sopra, ma con i 256 registri facenti parte di 4 moduli di un componente logico memoria con organizzazione sequenziale e tempo di accesso da determinare in funzione di  $t_p$ .

5) Una unità di elaborazione U contiene al suo interno un componente logica memoria M, di capacità 64K parole, con organizzazione interallacciata su quattro moduli, ognuno con tempo di accesso  $5t_p$ . U riceve in ingresso una parola X e un indirizzo INDIN di M, e invia in uscita un valore booleano PRES e un indirizzo INDOUT.

Tutte le parole di M hanno valore diverso. INDIN possiede la proprietà che  $INDIN \bmod 4 = 0$ .

Se il valore X è uguale a una delle parole del blocco di quattro parole avente indirizzo base INDIN, allora PRES assume il valore vero e INDOUT assume il valore dell'indirizzo della locazione avente contenuto uguale a X; altrimenti, PRES assume il valore falso e il valore di INDOUT non è significativo.

Scrivere il microprogramma e valutare il ciclo di clock, con il vincolo che il tempo di elaborazione di U sia uguale a un ciclo di clock.